

Содержание

<i>Отзывы на книгу «Цифровая схемотехника и архитектура компьютера. RISC-V»</i>	13
<i>Об авторах</i>	14
<i>Предисловие к русскому изданию</i>	15
<i>Предисловие от редактора русского перевода</i>	22
<i>Предисловие</i>	24

Глава 1 От нуля до единицы	31
1.1. План игры	31
1.2. Искусство управления сложностью	32
1.2.1. Абстракция	33
1.2.2. Конструкторская дисциплина	35
1.2.3. Три базовых принципа	36
1.3. Цифровая абстракция	38
1.4. Системы счисления	40
1.4.1. Десятичная система счисления	40
1.4.2. Двоичная система счисления	41
1.4.3. Шестнадцатеричная система счисления	43
1.4.4. Байт, полубайт и «весь этот джаз»	45
1.4.5. Сложение двоичных чисел	46
1.4.6. Знак двоичных чисел	47
1.5. Логические элементы	53
1.5.1. Логический элемент НЕ	53
1.5.2. Буфер	54
1.5.3. Логический элемент И	54
1.5.4. Логический элемент ИЛИ	54
1.5.5. Другие логические элементы с двумя входными сигналами	55
1.5.6. Логические элементы с количеством входов больше двух	56
1.6. За пределами цифровой абстракции	57
1.6.1. Напряжение питания	57
1.6.2. Логические уровни	57
1.6.3. Допускаемые уровни шумов	58
1.6.4. Передаточная характеристика	59
1.6.5. Статическая дисциплина	60
1.7. КМОП-транзисторы	62
1.7.1. Полупроводники	63
1.7.2. Диоды	64
1.7.3. Конденсаторы	64
1.7.4. <i>n</i> -МОП- и <i>p</i> -МОП-транзисторы	65
1.7.5. Логический элемент НЕ на КМОП-транзисторах	69
1.7.6. Другие логические элементы на КМОП-транзисторах	69
1.7.7. Передаточный логический элемент	72
1.7.8. Псевдо- <i>n</i> -МОП-логика	72
1.8. Потребляемая мощность	73
1.9. Краткий обзор главы 1 и того, что нас ждет впереди	75
Упражнения	77
Вопросы для собеседования	89

Глава 2	Разработка комбинационной логики	91
2.1.	Введение	91
2.2.	Логические функции	95
2.2.1.	Терминология	95
2.2.2.	Дизъюнктивная форма	96
2.2.3.	Конъюнктивная форма	98
2.3.	Булева алгебра	99
2.3.1.	Аксиомы	100
2.3.2.	Теоремы одной переменной	100
2.3.3.	Теоремы с несколькими переменными	102
2.3.4.	Доказательство теорем булевой алгебры	104
2.3.5.	Упрощение логических уравнений	105
2.4.	От логики к логическим элементам	106
2.5.	Многоуровневая комбинационная логика	110
2.5.1.	Минимизация аппаратных затрат	111
2.5.2.	Перемещение инверсии	112
2.6.	Что такое X и Z?	115
2.6.1.	Недопустимое значение: X	115
2.6.2.	Третье состояние: Z	116
2.7.	Карты Карно	118
2.7.1.	Думайте об овалах	119
2.7.2.	Логическая минимизация на картах Карно	120
2.7.3.	Безразличные переменные	124
2.7.4.	Карты Карно: подведение итогов	124
2.8.	Базовые комбинационные блоки	125
2.8.1.	Мультиплексоры	125
2.8.2.	Дешифраторы	129
2.9.	Временные характеристики	131
2.9.1.	Задержка распространения и задержка реакции	131
2.9.2.	Импульсные помехи	136
2.10.	Заключение	139
	Упражнения	140
	Вопросы для собеседования	147
Глава 3	Разработка последовательностной логики	149
3.1.	Введение	149
3.2.	Зашелки и триггеры	150
3.2.1.	RS-триггер	151
3.2.2.	D-зашелка	154
3.2.3.	D-триггер	155
3.2.4.	Регистр	156
3.2.5.	Триггер с функцией разрешения	156
3.2.6.	Триггер с функцией сброса	158
3.2.7.	Разработка триггеров и защелок на транзисторном уровне	159
3.2.8.	Сравнение защелок и триггеров	160
3.3.	Разработка синхронных логических схем	161
3.3.1.	Некоторые проблемные схемы	161
3.3.2.	Синхронные последовательностные схемы	163
3.3.3.	Синхронные и асинхронные схемы	166
3.4.	Конечные автоматы	166
3.4.1.	Пример разработки конечного автомата	167
3.4.2.	Кодирование состояний	173

3.4.3. Автоматы Мура и Мили	176
3.4.4. Декомпозиция конечных автоматов	180
3.4.5. Восстановление конечных автоматов по электрической схеме	182
3.4.6. Конечные автоматы: подведение итогов	185
3.5. Синхронизация последовательностных схем	185
3.5.1. Динамическая дисциплина	187
3.5.2. Временные характеристики системы	188
3.5.3. Расфазировка тактовых сигналов	194
3.5.4. Метастабильность	197
3.5.5. Синхронизаторы	199
3.5.6. Вычисление времени разрешения	201
3.6. Параллелизм	205
3.7. Заключение	209
Упражнения	210
Вопросы для собеседования	218

Глава 4 Языки описания аппаратуры 221

4.1. Введение	221
4.1.1. Модули	222
4.1.2. Происхождение языков SystemVerilog и VHDL	222
4.1.3. Моделирование и синтез	224
4.2. Комбинационная логика	226
4.2.1. Битовые операторы	227
4.2.2. Комментарии и пробелы	229
4.2.3. Операторы сокращения	230
4.2.4. Условное присваивание	230
4.2.5. Внутренние переменные	233
4.2.6. Приоритет	235
4.2.7. Числа	235
4.2.8. Z-состояние и X-состояние	237
4.2.9. Манипуляция с битами	239
4.2.10. Задержки	239
4.3. Структурное моделирование	241
4.4. Последовательностная логика	245
4.4.1. Регистры	245
4.4.2. Регистры со сбросом	245
4.4.3. Регистры с сигналом разрешения	248
4.4.4. Группы регистров	249
4.4.5. Защелки	250
4.5. И снова комбинационная логика	251
4.5.1. Операторы case	254
4.5.2. Условный оператор (if)	256
4.5.3. Таблицы истинности с незначимыми битами	259
4.5.4. Блокирующие и неблокирующие присваивания	260
4.6. Конечные автоматы	264
4.7. Типы данных	268
4.7.1. SystemVerilog	268
4.7.2. VHDL	269
4.8. Параметризованные модули	272
4.9. Тестбенч	275
4.10. Заключение	280
Упражнения	281
Упражнения для SystemVerilog	287

Упражнения для VHDL.....	289
Вопросы для собеседования.....	291
Глава 5 Цифровые функциональные узлы	293
5.1. Введение	293
5.2. Арифметические схемы	294
5.2.1. Сложение	294
5.2.2. Вычитание	302
5.2.3. Компараторы	303
5.2.4. Арифметико-логическое устройство.....	304
5.2.5. Схемы сдвига и циклического сдвига.....	309
5.2.6. Умножение	310
5.2.7. Деление	312
5.2.8. Дополнительная литература.....	313
5.3. Представление чисел	313
5.3.1. Числа с фиксированной запятой.....	314
5.3.2. Числа с плавающей запятой	315
5.4. Функциональные узлы последовательной логики.....	319
5.4.1. Счетчики	319
5.4.2. Сдвиговые регистры	321
5.5. Матрицы памяти	324
5.5.1. Обзор матриц памяти	324
5.5.2. Динамическое ОЗУ (DRAM)	328
5.5.3. Статическое ОЗУ (SRAM).....	328
5.5.4. Площадь и задержки.....	329
5.5.5. Регистровые файлы	330
5.5.6. Постоянное запоминающее устройство.....	330
5.5.7. Реализация логических функций с использованием матриц памяти....	332
5.5.8. Языки описания аппаратуры и память.....	333
5.6. Матрицы логических элементов	336
5.6.1. Программируемые логические матрицы	336
5.6.2. Программируемые пользователем вентиляльные матрицы	338
5.6.3. Схемотехника матриц.....	345
5.7. Заключение.....	346
Упражнения	347
Вопросы для собеседования.....	357
Глава 6 Архитектура	359
6.1. Предисловие	359
6.2. Язык ассемблера	362
6.2.1. Инструкции	362
6.2.2. Операнды: регистры, память и константы	364
6.3. Программирование	370
6.3.1. Порядок выполнения программы.....	371
6.3.2. Арифметические / логические инструкции.....	371
6.3.3. Ветвление программ	374
6.3.4. Условные операторы	377
6.3.5. Циклы.....	378
6.3.6. Массив	381
6.3.7. Вызовы функций.....	385
6.3.8. Псевдокоманды	398
6.4. Машинный язык	400